

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-102359  
(P2001-102359A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	データ* (参考)
H 0 1 L 21/3065		H 0 1 L 21/302	L 5 F 0 0 4
21/76		21/76	L 5 F 0 3 2

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平11-275256

(22) 出願日 平成11年9月28日 (1999.9.28)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 瀬田 渉二

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100081732

弁理士 大胡 典夫 (外1名)

Fターム(参考) 5F004 BA04 DA00 DA01 DA04 DA26

DB02 DB23 EA04 EA06 EA07

EA23 EB05

5F032 AA35 AA46 AA47 AA48 AA70

BB04 DA10 DA23 DA25 DA28

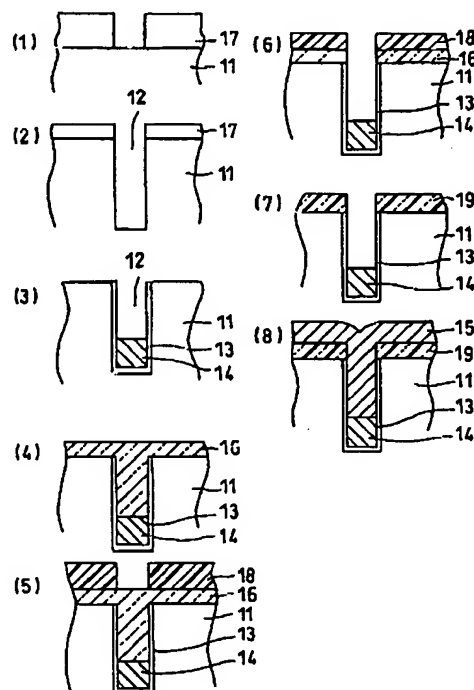
DA33 DA53 DA78

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 本発明は、段差部を有する被加工膜の前記段差部内の加工を行う際に、マスクあるいはエッチングストッパー層の材料や厚さの選択の幅を広げて加工精度を高くすることができる半導体装置の製造方法を目的とするものである。

【解決手段】 本発明の半導体装置の製造方法は、段差部12を有する被加工層11の加工を行う加工工程を含む半導体装置の製造方法において、あらかじめ段差部12が形成された被加工層11の段差部12上部にマスク層19あるいはエッチングストッパー層を形成し、前記マスク層19あるいはストッパー層を用いて加工を行うことを特徴とする。



## 【特許請求の範囲】

【請求項1】段差部を有する被加工層の前記段差部内の加工を行う加工工程を含む半導体装置の製造方法において、前記加工工程は、あらかじめ段差部が形成された被加工層の段差部上部にマスク層あるいはエッチングストッパー層を形成し、前記マスク層あるいはストッパー層を用いて前記段差部内の加工を行うことを特徴とする半導体装置の製造方法。

【請求項2】前記加工工程は、あらかじめ段差部が形成された被加工層上に前記段差部を平坦化する平坦化層を形成する第1の工程と、前記平坦化層をパターンニングする第2の工程と、前記パターンニングされた平坦化層をマスク層あるいはエッチングストッパー層として前記被加工層の段差部内の加工を行う第3の工程を行うことにより行われることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記第1の工程における平坦化層は、液状組成物を塗布及び乾燥して形成されることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】前記第1の工程における前記液状組成物は、シリコン化合物を含有するものであることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】前記第2の工程後、第3の工程前にパターンニングされた前記平坦化層を変性させる変性工程を備えることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】前記変性工程においては、前記平坦化層の、酸化、窒化、炭素化の少なくとも1つが行われることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】前記シリコン化合物は、有機シリコン化合物あるいは有機シリコン化合物のいずれかであることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項8】段差部を有する被加工層の段差部内の加工を行う加工工程を含む半導体装置の製造方法において、前記加工工程は、あらかじめ段差部が形成された被加工層にシリコン化合物を含有する液状組成物を塗布及び乾燥してシリコン化合物層を形成する第1の工程と、前記シリコン化合物層をパターンニングし、パターンニングされた前記シリコン化合物層を酸化しシリコン酸化物層とする第2の工程と、前記シリコン酸化物層をエッチングストッパー層あるいはマスク層として前記被加工層の段差部内の加工を行う第3の工程とを備えることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関わる。

【0002】

【従来の技術】深いトレンチ型キャパシタの形成の際など、孔や溝などの段差部が形成された被加工層の段差部

内の加工、例えば孔や溝中にさらに成膜したり、その成膜により形成された膜をエッチングしたり等の加工を行う必要がある場合がある。その一例を図3、4を用いて説明する。

【0003】図3、図4に従来のトレンチキャパシタ形成工程の一工程を示す断面図を示す。例えば、図3においては、シリコン基板1にトレンチ2が形成されており、トレンチ2の内壁にはSiN層3が形成され、さらにSiN層3内の一部にはN<sup>+</sup>ポリシリコン層4が充填されている。

【0004】図4においては、図3のシリコン基板1に形成されたトレンチ2内のN<sup>+</sup>ポリシリコン層3内のN<sup>+</sup>ポリシリコン層4上にi-ポリシリコン層5が形成されている。

【0005】図3に示すトレンチ2からなる段差部内にi-ポリシリコン層5の成膜及びエッチングを施し、図4に示すような構造を精度良く形成したい場合、従来は図5に示すような工程を経ていた。

【0006】まず、図5(1)に示すように、あらかじめシリコン基板1上に、後のi-ポリシリコン層5のエッチング工程でマスク層として作用するSiN層6及びトレンチ2をエッチングの形成の際にマスクとして作用するSiO<sub>2</sub>層7を積層して形成し、レジスト層(図示せず)を用いたフォトリソグラフィによりパターンニングする。

【0007】次に図5(2)に示すように、SiO<sub>2</sub>層7をマスクとしてエッチングを行い深いトレンチ2を形成する。

【0008】さらに複数の工程を経ることによって図5(3)に示すように(図3と同様の)トレンチ2の内壁にSiN層3が形成され、さらにSiN層3内にN<sup>+</sup>ポリシリコン層4が充填された構造を形成する。SiO<sub>2</sub>層7はトレンチ2のエッチングの際の損傷が激しいためふつ酸処理にて剥離し、シリコン基板1表面にSiN層6を残存させておく。

【0009】次にトレンチ2内の加工を行う。

【0010】図5(4)に示すように、トレンチ2内のN<sup>+</sup>ポリシリコン層4上にi-ポリシリコン層5を成膜する。

【0011】次に図5(5)に示すように、i-ポリシリコン層5表面を研磨して、SiN層6を露出させて平坦化する。

【0012】次に、図5(6)に示すように、SiN層6をマスク層として用いてエッチングを行い、所望の(図4と同様の)構造を得るものである。最終的に後工程でSiN層6は剥離される。

【0013】このように従来は、例えば図5(6)に示すようなトレンチ2内のエッチング等の加工が必要とされる際にマスク層となるSiN層6を、トレンチ2からなる段差部を形成する前の工程で、図5(2)に示すト

レンチ2のエッチングを行う際のマスク層となる $\text{SiO}_2$ 層7と積層して形成していた。

【0014】一方半導体装置の微細化が進むにつれて、深いトレンチ2を形成するにあたり、図5(1)に示す $\text{SiO}_2$ 層7及び $\text{SiN}$ 層6からなる2層構造のマスク層を形成する際は、薄いレジスト層で高アスペクト比のエッチングを施す必要がある。しかしながらレジストと $\text{SiO}_2$ 層とのエッチング選択比は比較的高いものの、レジストと $\text{SiN}$ 層とのエッチング選択比は低く、 $\text{SiO}_2$ 層7及び $\text{SiN}$ 層6からなる2層構造のマスク層をパターンニングして、特に $\text{SiN}$ 層6にアスペクト比の高いパターンを形成するのは困難になってきている。

【0015】トレンチ2内の加工を行う際にマスク層として $\text{SiN}$ 層6を用いずに、トレンチ2のエッチングを行う際のマスク層となる $\text{SiO}_2$ 層7をそのままトレンチ2内の加工を行う際にマスク層として用いれば上記の問題点は生じないが、 $\text{SiO}_2$ 層7はトレンチ2のエッチングの際の損傷が激しいためそのまま用いるとトレンチ2内の加工に精度の高い加工を行うことができない。そのため $\text{SiO}_2$ 層7はトレンチ2のエッチングの終了後に剥離して、 $\text{SiO}_2$ 層7とは異なる材料である $\text{SiN}$ 層6をトレンチ2内の加工のマスク層としてあらかじめ設けておくという、上記方法を取らざるを得ない。

【0016】このように段差部内の加工に用いるマスク層あるいはエッチングストッパー層を段差部形成前に設ける方法では、例えば上記の如く段差部形成のためのマスク層の損傷が生じるため、段差部形成のためのマスク層とは別の材料である材料を用いて段差部内の加工に用いるマスク層あるいはエッチングストッパー層をあらかじめ形成しておかざるを得ず、それに伴い段差部内の加工に用いるマスク層あるいはエッチングストッパー層にアスペクト比の高いパターンが形成できない等、段差部内の加工に用いるマスク層あるいはエッチングストッパー層として用いる層の材料や厚さに工程上の制約が生じるため、加工精度高く段差部内の加工のためのマスク層あるいはエッチングストッパー層を形成できず半導体装置の微細化に対応できないという問題点があった。

【0017】

【発明が解決しようとする課題】本発明は上記の問題点に鑑みてなされたもので、段差部を有する被加工膜の前記段差部内の加工を行う際に用いられるマスクあるいはエッチングストッパー層の材料や厚さの選択の幅を広げ、加工精度高くマスクあるいはエッチングストッパー層を形成することができ、半導体装置の微細化に対応できる半導体装置の製造方法を提供することにある。

【0018】

【課題を解決するための手段】本発明は、段差部を有する被加工層の前記段差部内の加工を行う加工工程を含む半導体装置の製造方法において、前記加工工程は、あらかじめ段差部が形成された被加工層の段差部上部にマス

ク層あるいはエッチングストッパー層を形成し、前記マスク層あるいはストッパー層を用いて前記段差部内の加工を行うことを特徴とする半導体装置の製造方法である。

【0019】また、本発明は、段差部を有する被加工層の段差部内の加工を行う加工工程を含む半導体装置の製造方法において、前記加工工程は、あらかじめ段差部が形成された被加工層にシリコン化合物を含有する液状組成物を塗布及び乾燥してシリコン化合物層を形成する第1の工程と、前記シリコン化合物層をパターンニングし、パターンニングされた前記シリコン化合物層を酸化しシリコン酸化物層とする第2の工程と、前記シリコン酸化物層をエッチングストッパー層あるいはマスク層として前記被加工層の段差部内の加工を行う第3の工程とを備えることを特徴とする半導体装置の製造方法である。

【0020】本発明においては段差部、すなわち孔又は溝、を有する被加工層の前記段差部内に成膜あるいはエッチング等の加工を施すにあたり、前記加工のためのマスク層あるいはエッチングストッパー層の形成を段差部形成後に行う。それにより前記マスク層あるいはエッチングストッパー層の材料や厚さの選択の幅を広げることができ、加工精度高くマスク層あるいはエッチングストッパー層を形成することができ、半導体装置の微細化に対応できる。

【0021】特に、前記被加工層上にシリコン化合物を含有する液状組成物を塗布・乾燥してシリコン化合物層を形成し、前記シリコン化合物層を酸化して前記マスク層あるいはエッチングストッパー層を形成することにより、エッチング耐性に優れたマスク層あるいはエッチングストッパー層が得られるとともに、前記段差部に充填性よくかつ平坦な前記シリコン化合物層が形成でき、また、前記シリコン化合物層のパターンニングの際、レジスト層の反射防止層としての作用を示す。さらに、前記シリコン化合物層が酸化されてなる酸化シリコン層は対レジストとのエッチング選択比も高い。したがって段差部を有する被加工層にマスク層あるいはエッチングストッパー層を加工精度良く形成することができ、半導体装置の微細化に対応が可能である。

【0022】本発明は、なお、トレンチ型キャパシタの形成において特に有効である。

【0023】

【発明の実施の形態】本発明は、あらかじめ段差部、例えば孔又は溝、が形成された被加工層の段差部内にエッチングを含む加工工程を施す際に用いられる。すなわち本発明においては前記加工工程は上記のようにあらかじめ段差部が形成された被加工層の段差部上部にマスク層あるいはエッチングストッパー層を形成し、それを用いて段差部内の加工を行うものである。

【0024】なお、本発明において被加工層は例えばシ

リコン基板、シリコン基板上に成膜された配線材料、電極材料などからなる導電性層、ポリイミド、SOGなどの有機系材料あるいは無機系材料からなる絶縁層、またはブランクマスク材などを用いることができる。

【0025】本発明の加工工程は具体的には下記の第1～第3工程を行うことが望ましい。

【0026】(第1工程)第1工程は段差部上部に、前記段差部を覆い平坦化する平坦化層を形成する。前記平坦化層は後述する第2工程、第3工程においてパターンニングされマスク層あるいはエッチング層として作用する。

【0027】第1工程においては、望ましくは前記段差部が形成された被加工層上に液状組成物を塗布及び乾燥して前記平坦化層を得ることが望ましい。それにより容易に段差部を平坦化することができ、平坦化層をマスクやエッチングストッパーとするためのパターンニングを精度良く行うことができる。

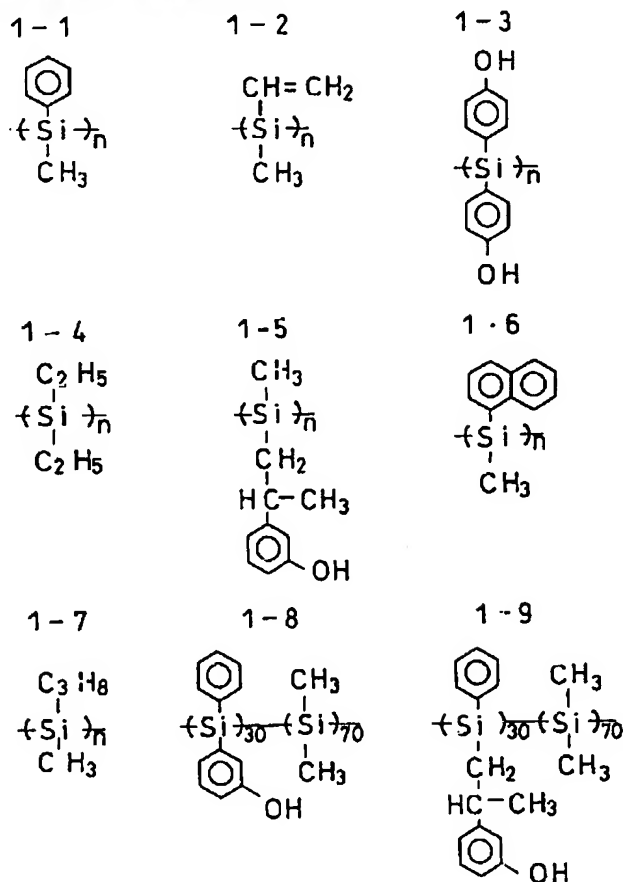
【0028】前記液状組成物としてはシリコン化合物を含有するものを用いることが望ましい。それにより前記平坦化層はシリコン化合物層となる。シリコン化合物層を形成することによりマスクやエッチングストッパーとするためのパターンニング時の露光を行う際に反射防止

膜として作用して精度良くパターンニングを行うことができる。また、エッチング耐性に優れたマスクあるいはエッチングストッパーを形成することができる。

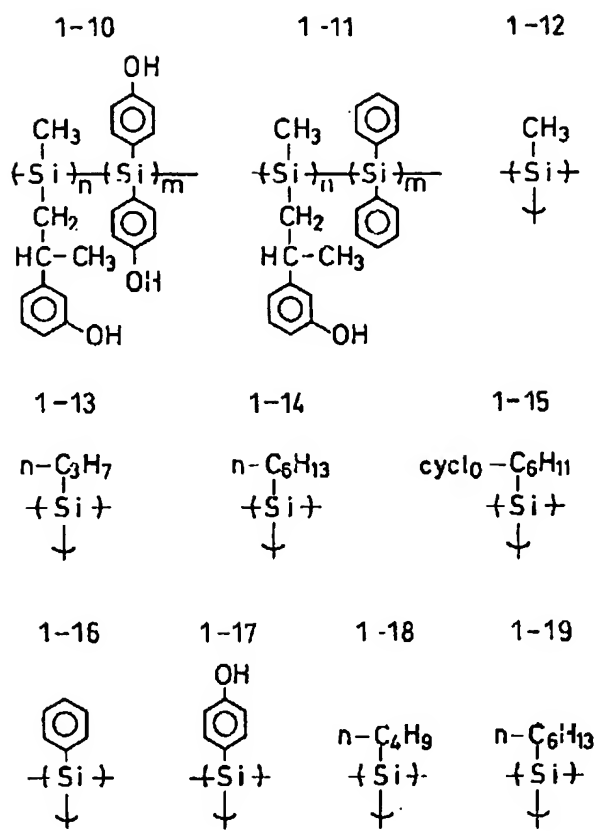
【0029】前記シリコン化合物は、有機シリコン酸化物、あるいは有機シリコン化合物であることが望ましい。有機シリコン酸化物、有機シリコン化合物は溶解性に優れた液状組成物を得るのに適している。前記有機シリコン化合物とは炭素とケイ素の直接結合を持つ化合物である。前記有機シリコン酸化物は有機シリコン化合物の酸化物である。特に前記有機シリコン化合物あるいは有機シリコン酸化物としては、炭素とケイ素の直接結合を持ちかつ主鎖にSi-Si結合を有する高分子化合物が望ましく、例えばポリシラン、ポリシレン、有機SOG膜等を挙げることができる。これらの化合物の分子量は特に限定されないが、好ましくは200～100,000、より好ましくは500～300,000が良い。

【0030】具体例としては例えば下記化学式1-1～1-19、及び2-1～2-13に示す化合物等を挙げることができる。なおこれらの化学式中のn、mは正の整数を表す。

【化1】

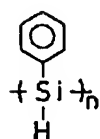


【化2】

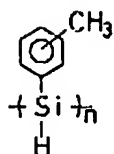


【化3】

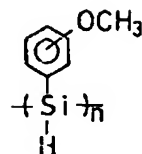
2-1



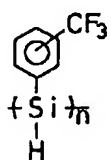
2-2



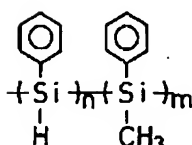
2-3



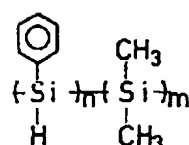
2-4



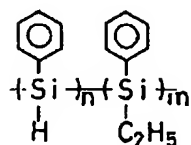
2-5



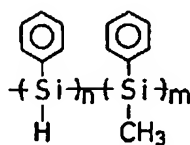
2-6



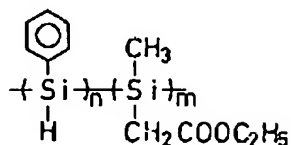
2-7



2-8

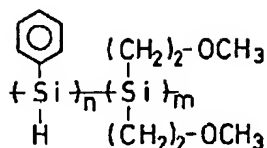


2-9

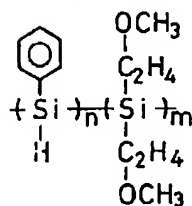


【化4】

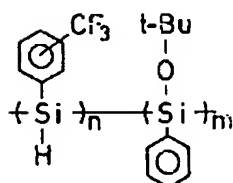
2-10



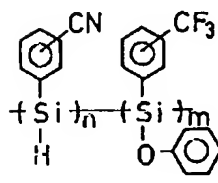
2-11



2-12



2-13



前記液状組成物は、望ましくは前記シリコン化合物、及び必要に応じて添加物を溶媒に溶解して得られる。該液状組成物を段差部を有する被加工層上に塗布後加熱して溶媒を揮発して乾燥することにより平坦化層を形成する。前記液状組成物に添加される添加物としては必要に応じて貯蔵安定性を図るために熱重合防止剤、基体との

密着性を向上させるための密着性向上剤等が挙げられる。

【0031】(第2工程) 第2工程は前記平坦化層が段差部内の加工を行う際のマスク層あるいはエッチングストッパー層となるよう前記平坦化層をパターンニングする工程である。

【0032】前記平坦化層のパターンニングは例えば平坦化層上にレジスト層を形成しフォトリソグラフィーを用いてレジストパターンを形成し、前記レジストパターンをマスクとして前記平坦化層をエッチングすることにより行うことができる。

【0033】前記平坦化層のエッチングは、反応性プラズマエッチング方式、マグネトロン反応性プラズマエッチング方式、電子ビームプラズマエッチング方式、TCPエッチング方式、ICPエッチング方式、あるいはECRプラズマエッチング方式などのエッチング装置を使用することができる。

【0034】さらに、パターンニングされた前記平坦化層を変性する工程を行うことが望ましい。特に前記平坦化層がシリコン化合物層である場合、酸化、窒素化、炭素化の少なくとも1つの変性を行うことが望ましい。前記変性が酸化である場合は前記シリコン化合物層を酸化しシリコン酸化物層となる。前記変性が窒素化である場合

は前記シリコン化合物層が窒化されシリコン窒化物層となる。前記変性が炭素化である場合は前記シリコン化合物層が炭素化されシリコン炭化物層となる。いずれの層もマスク層あるいはエッチングストッパー層として用いる際に高いドライエッチング耐性を示す。

【0035】前記変性が酸化であった場合は、前記シリコン化合物層に酸素のイオンあるいはラジカルを供給することにより行うことが望ましい。この方法を用いることによりシリコン化合物層の酸化とパターンニング時のレジストパターンとの剥離と同時に行うことができる。すなわちレジストパターンとシリコン化合物層の積層体に酸素の存在する雰囲気下で高エネルギービームを照射することで、レジストパターンをアッシングしつつシリコンとシリコンの結合を酸化させることができる。高エネルギービームとしては紫外光、電子ビーム、イオンビーム、X線を挙げることができる。

(第3工程) 第3工程は、被加工層の段差部上部にパターンニングされた前記平坦化層をエッチングストッパー層あるいはマスク層として被加工層の段差部のエッチングを行う工程を含むものである。前記エッチングは前記被加工層の段差部に成膜を行い、その成膜により形成された物質に対して行われるものであってもよい。

【0036】

【実施例】図1、図2は本発明を用いたトレンチキャパシタ形成工程の一工程を示す断面図を示す。

【0037】まず、図1(1)に示すように、あらかじめシリコン基板11上にトレンチ形成のマスクとして作用する $\text{SiO}_2$ 層17を形成しレジスト層(図示せず)を用いたフォトリソグラフィによりパターンニングした。

【0038】次に図1(2)に示すように、 $\text{SiO}_2$ 層17をマスクとしてエッチングを行い深いトレンチ12を形成した。

【0039】さらに複数の工程を経て図1(3)に示すように、(図3と同様の)トレンチ12の内壁に $\text{SiN}$ 層13が形成され、さらに $\text{SiN}$ 層13内に $\text{N}^+$ ポリシリコン層14が充填された構造を形成した。

【0040】次に上記のようにあらかじめ段差部、すなわちトレンチ12が形成された被加工層のトレンチ12内にエッチングを含む加工工程を施した。前記加工工程は以下に示す第1～第3工程を行った。

(第1工程) 第1工程は、図1(4)に示す如く、まず、前記トレンチ12が形成されたシリコン基板11(被加工層)にポリジフェニルシランからなるシリコン化合物を溶媒に溶解した液状組成物をスピンコーティングして、乾燥して平坦なシリコン化合物層16を形成した。

(第2工程) 第2工程は、図1(5)に示す如く、シリコン化合物層16上にレジスト層を形成しフォトリソグラフィを用いてレジストパターン18を形成し、次に

図1(6)に示す如くレジストパターン18をマスクとしてシリコン化合物層16をRIE法によりエッチングした。

【0041】エッチング条件は $\text{Cl}_2 : \text{CF}_4 : \text{O}_2$ ガスを1:0.2:10の比で混合したガスを適用することによりポリジフェニルシラン16とレジスト18の選択比を50～100以上とすることができる。

【0042】次にパターンニングされた前記シリコン化合物層16の変性工程を行った。具体的には例えばパターンニングされたシリコン化合物層16を酸化して図1(7)に示す如くのシリコン酸化物層19とする工程を行った。この工程ではレジストパターン18とシリコン化合物層16の積層体に酸素の存在する雰囲気下で $\text{O}_2$ イオン及びラジカルを照射することで、レジストパターンをアッシングしつつシリコンとシリコンの結合を酸化させることによって行った。

【0043】次に、図1(8)に示すようにトレンチ12中にi-ポリシリコン層15を成膜した。

【0044】次に図2(9)に示すように、i-ポリシリコン層15表面を化学的機械的研磨処理して、シリコン酸化物層19を露出させて平坦化した。

【0045】次に、図2(10)に示すようにシリコン酸化物層19をマスクにし、i-ポリシリコン層15のエッチングをRIE法により、所望の(図4と同様の)トレンチ構造を得た。エッチング条件は $\text{HBr} : \text{O}_2 = 10 : 1$ の条件を用いることでシリコン酸化物層19とi-ポリシリコン層15との選択比は50以上とすることが可能である。

【0046】最終的に後工程でシリコン酸化物層19は剥離した。

【0047】以上述べたように本実施例ではトレンチ12を形成した後に、トレンチ12内の加工のためのマスク層を形成する。そのため前記マスク層としてアスペクト比の高い加工が困難な $\text{SiN}$ 層以外の材料も用いることができる。また前記マスク層として、ポリシランを含む液状組成物を塗布乾燥して得たシリコン化合物層から得られたシリコン酸化物層を用いることにより、加工精度高く、またエッチング耐性にも優れたマスク層を形成することができ、半導体装置の微細化にも対応が可能である。

【0048】

【発明の効果】以上述べた如く本発明によれば、段差部を有する被加工膜の前記段差部内の加工を行う際に用いられるマスク層あるいはエッチングストッパー層の形成を、段差部形成の後に行うため、前記マスク層あるいはエッチングストッパー層の材料や厚さの選択の幅を広げることができ、精度の高い加工を行うことができるため、半導体装置の微細化に対応することが可能となる。

【図面の簡単な説明】

【図1】 本発明の一実施例に適用する、トレンチキャ

パシタの製造工程の工程例を示す断面該略図。

【図2】 本発明の一実施例に適用する、トレンチキャパシタの製造工程の工程例を示す断面該略図。

【図3】 トレンチキャパシタの製造工程の一工程を示す断面該略図。

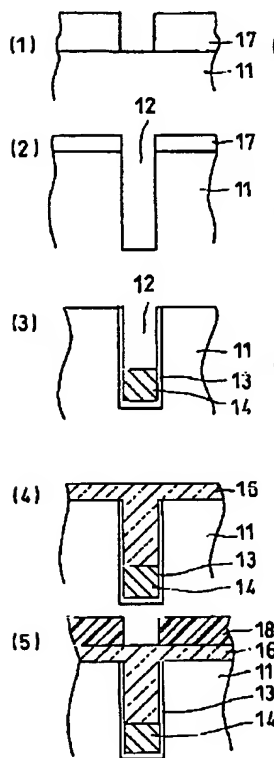
【図4】 トレンチキャパシタの製造工程の一工程を示す断面該略図。

【図5】 従来のトレンチキャパシタの製造工程の工程例を示す断面該略図。

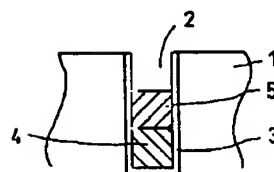
【符号の説明】

- 1、11…シリコン基板
- 2、12…トレンチ
- 3、13…SiN層
- 4、14…N<sup>+</sup> ポリシリコン層
- 5、15…i-ポリシリコン層
- 6…SiN層
- 7、17…SiO<sub>2</sub> 層
- 18…レジストパターン
- 16…シリコン化合物層
- 19…シリコン酸化物層

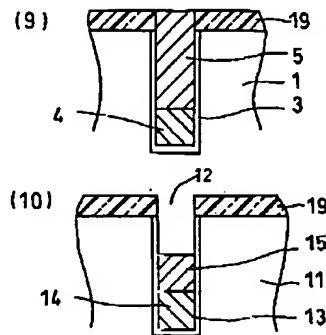
【図1】



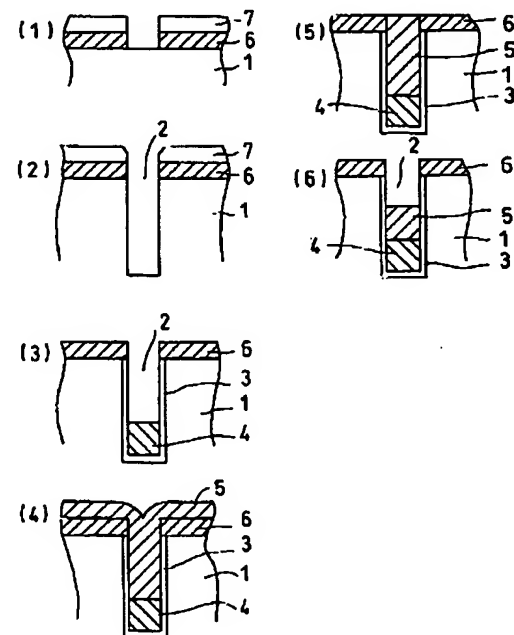
【図4】



【図2】



【図5】



【図3】

